

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

(13) 日本国特許庁 (JP)

## ○○公開特許公報 (A)

(11) 特開公報登記番号

特開平7-312405

(12) 公開日 平成7年(1995)11月26日

(51) 1st.CI.  
H01L 23/50  
21/00  
21/21  
21/21

類別記号 営業登録番号  
S  
0 6913-01  
A 3613-01  
I 3613-01

F I

技術表示箇所

審査請求 取扱説明書請求の範囲 OL (全5頁) 並列頁に依く

(11) 出願番号 特願平6-102369  
(12) 出願日 平成6年(1994)5月17日

(11) 出願人 000005108  
株式会社日立製作所  
東京都千代田区神田駿河台四丁目6番地  
(12) 出願人 000233169  
株式会社日立マイコンシステム  
東京都小平市上木本町5丁目22番1号  
(13) 見明者 金本 光一  
東京都小平市上木本町5丁目20番1号  
株式会社日立製作所半導体事業部内  
西田 隆文  
東京都小平市上木本町5丁目22番1号  
株式会社日立マイコンシステム内  
(14) 代理人 齊藤士 長田 政吉

並列頁に依く

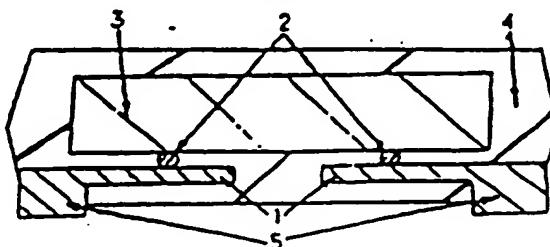
(50) 【発明の名稱】半導体装置

## (51) 【要約】

【目的】 半導体装置の基板部における実装密度を向上すること。

【構成】 半導体チップとそれに電気的に接続された内部リードを複数で封止した半導体装置であって、各記半導体装置の封止部周縁の底面もしくは、上面から内部リードの一端を突出させる。

図1



## 〔A〕(2)の比較)

(B)〔図2〕 キヨシチップとそれに電気的に駆動された内蔵リードを組合して停止したキヨシを示すのである。内蔵リードの停止位置が位置ししくは、上面から内蔵リードの一端を突出させることを目的とするキヨシである。

(C)〔図2〕 おおきなチップと内蔵リードとはパンプを介して電気的に駆動して止ることを目的とするキヨシである。

(D)〔図2〕 キヨシチップとそれに電気的に駆動された内蔵リードを組合して停止したキヨシを示すのである。内蔵リードの停止位置が位置ししくは、上面から内蔵リードの一端を突出させることを目的とするキヨシである。それより内蔵リードの停止位置が位置ししくは、上面から内蔵リードの一端を突出させることを目的とするキヨシである。

## (兄弟の比較の説明)

〔0001〕

(位置上の利用分割) 本発明に、キヨシを電気に駆動して止める技術に於けるものである。

〔0002〕

(形状の比較) 本発明の本構造では、一般に内蔵リードとキヨシチップをワイヤで接続したものとパンプで接続するものがあり、それら内蔵リードはともにキヨシの位置の停止位置の修正から突出した状態をもつ。

〔0003〕

(発明が解決しようとする課題) 本発明では、上記技術を改めし結果、以下の問題点を見いだした。

〔0004〕 おおきなチップを用いたシステムでは、そのグランツィジングにおいて、キヨシを電気に駆動する装置のサイズを尽可能小さくするために、キヨシの位置のサイズを尽可能小さくして止める場合の高さを抑えて基板サイズを縮小してきた。

〔0005〕 この基板位置の縮小は、主にキヨシチップの縮小によりなされたものであり、内蔵リードはその縮小の対象とはなっていなかった。

〔0006〕 このため、基板上のキヨシ位置の内蔵リードがさのち位置に対する縮小効果に力を与えていないのが現状である。

〔0007〕 したがって、本発明の本構造における内蔵リードは、一般にキヨシ位置の停止位置の位置から突出した状態を行っていることから、その停止位置が位置のとり、基板上における大きさが大きいという欠点があった。

〔0008〕 本発明の目的は、キヨシ位置の基板上に於ける高さを尽可能高くすることを目的とするものである。

〔0009〕 本発明の課題ならびにその他の特徴としま

る事例は、本明細書の22と及び図2によって明らかにならう。

〔0010〕

(位置を制御するための手段) 本発明において用意されるR側のうち、大抵のなしの位置をR側に駆動する手段のとおりである。

〔0011〕 キヨシチップとそれに電気的に駆動された内蔵リードを組合して停止したキヨシを示すのである。内蔵リードの停止位置が位置ししくは、上面から内蔵リードの一端を突出させる。

〔0012〕

(作用) 上述した手順によれば、キヨシチップとそれに電気的に駆動された内蔵リードを組合して停止したキヨシを示すのである。内蔵リードの停止位置の位置ししくは、上面から内蔵リードの一端を突出させて止ることにより、キヨシ位置の停止位置の占める面積内に内蔵リードが立ち、内蔵リードの突出によって余分にとられた穴を開けたのである。本構造の基板上における高さを向上することが可能となる。

〔0013〕 以下、本発明の構成について、実施例とともに説明する。

〔0014〕 なお、実施例を改めするための全般において、同一記号RERTA等ものは同一符号を用ひ、その通り互いの説明は省略する。

〔0015〕

(実施例) 図1は、本発明の実施例であるキヨシの位置の構造を説明するためのものである。

〔0016〕 図1に示した本実施例のキヨシは、基板上に於いて、図2に示す大抵の停止位置からみた範囲、図3に示す範囲からみた範囲、図4に示す範囲からみた範囲をそれぞれ示す。

〔0017〕 図1～図4において、1は内蔵リード、2はパンプ、3はチップ、4は電界制御部、5は内蔵リード部分をそれぞれ示す。

〔0018〕 本実施例の本構造では、図1に示すように、リードに凹部が付けられており、内蔵リードとして構成する内蔵リード部分1と内蔵リードとして構成する内蔵リード部分5とからなる。

〔0019〕 このリードの形状は、リードの内蔵リード部分1をハーフエッヂしたり、リードを複数に2以上に分割して構成することによって得られる。

〔0020〕 本実施例内においては、内蔵リード部分1上に付けられた、内蔵リード部分1より大きなパンプ2が付けられ、そのパンプ2を介してキヨシチップ3と電気的に駆動されている。なお、このときの内蔵リード部分1とキヨシチップ3は、実際に駆動する位置として、キヨシチップ3側にあらかじめ付けたパンプ2であってよい。また、ワイヤ等を用いてよい。

〔0021〕 そして、図2～図4に示した電界制御部4から駆動する内蔵リード部分5は、基板上に駆動位置

それも、

(0022) これにより、女房、既存村止部の内蔵部から突出していたカギリードの部分だけ、又はスペースを切り取るなり、他の部品等の本体に取り付けてたりすることが可能となる。

(0023) 亦に、図5を用いて、本実施例の半蔵部底のリードフレームについて説明する。

(0024) 図5において、3Aは大きめの半蔵部チップ、3Bは小さめの半蔵部チップ、2Aは大きめの半蔵部チップと内蔵リード部分を形成するパンプ、2Bは大きめの半蔵部チップと内蔵リード部分を形成BTもパンプをそれぞれ示す。

(0025) 図5に示すように、本実施例の半蔵部底のリードフレームの底は、フレームの中心位置から内蔵リードが斜め上に延びている。

(0026) これにより、半蔵部チップである大きめの半蔵部チップである大きめの半蔵部チップ3Aを保持する場合でし、小さめの半蔵部チップ3Bを保持する場合でも、各半蔵部チップ3A、3Bのパンプ位置における内蔵リードと半蔵部チップとの二重的な接合はワイヤ接続では得られない実用性度である。

(0027) したがち、本実施例のリードフレーム一つで多個の半蔵部チップを適用できる。

(0028) 亦に、本実施例の他の実施例を図6と図7に示す。

(0029) 図6に示す半蔵部底の例は、既存の図1に示した半蔵部底の内蔵リード部分とカギリード部分の位置をなくしたものであり、内蔵リードとカギリードを実用化したリードを設けてある。したがち、本実施例によれば、リードの底面のはば2/3がレジンにより埋め込まれ、その埋め込まれたリード一端部(上部)が半蔵部チップとの電気的接続度をなし、一方、リードの底面のはば1/3がレジンから露出、その露出した部位は実用基部への接続度、つまりカギリードとなる。

(0030) これにより、半蔵部における基部とカギリードの接続部分の底面を露出させるとともに、開脚化パッケージが実現される。リードフレームに位置をつりなくてもよくなる。

(0031) 図7に示す半蔵部底の例は、前述の図1に示した半蔵部底の半蔵部チップ上に内蔵用フィン6を付け、半蔵部チップからRセラウド底を逃がしてやるものである。

(0032) なお、本実施例は多方形の半蔵部底をそれぞれ取り上げたが正方形の半蔵部底についても

可能である。

(0033) また、本実施例のCOL(CHIP ON LEAD)構造の半蔵部底は、底面からカギリードを突出させた例を取り上げたが、LOC(LEAD ON CHIP)構造等の半蔵部底においては、上部からカギリードを突出させる。

(0034) したがって、半蔵部チップとそれに对应的に底面からの内蔵リードを底面で封止した半蔵部底であって、底面半蔵部底の村止部即ちの底面ししくは、

上部から内蔵リードの一端を突出させることにより、半蔵部底の村止部即ちの底面内に内蔵リードがあり、底面の外蔵リードの突出によって余分とされていた実用部底を縮小できるので、半蔵部底の基板背面における実用度を向上することが可能となる。

(0035) 以上、本発明によってなされた発明を、既存実施例によるべき実用的で新規したが、本発明は、既存実施例に限定されものではなく、その要旨を達成しない範囲においても、更に可成てあることは明ニである。

(0036)

(発明の効果) 本発明において表示される発明のうち代表的なものによって明らかなる点を簡単に説明すれば、下記のとおりである。

(0037) 半蔵部チップとそれに对应的に設置された内蔵リードを封止した半蔵部底であって、前記半蔵部底の底面の村止部即ちの底面ししくは、上部から内蔵リードの一端を突出させることにより、半蔵部底の底面内に内蔵リードがあり、底面の外蔵リードの突出によって余分とされていた実用部底を縮小できるので、半蔵部底の基板背面における実用度を向上することが可能となる。

(基盤の耐用年数)

(図1) 本発明の一実施例である半蔵部底の構造を説明するための図である。

(図2) 本実施例の半蔵部底の断面図である。

(図3) 本実施例の半蔵部底の断面図である。

(図4) 本実施例の半蔵部底の底面からみた半蔵部底である。

(図5) 本実施例の半蔵部底におけるリードフレームの構造を説明するための図である。

(図6) 本実施例の他の実施例である半蔵部底の構造を説明するための図である。

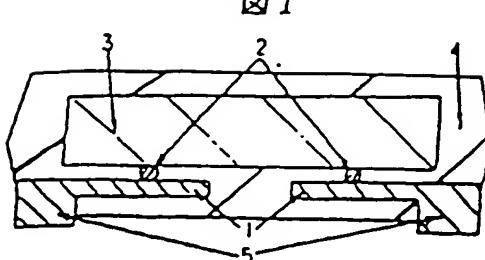
(図7) 本実施例の他の実施例である半蔵部底の構造を説明するための図である。

(凡例の説明)

1…内蔵リード部分、2…パンプ、3…チップ、4…開脚部、5…カギリード部分、6…内蔵用フィン。

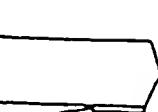
(4) HANZ 7-312405

(図1)



(図2)

図2

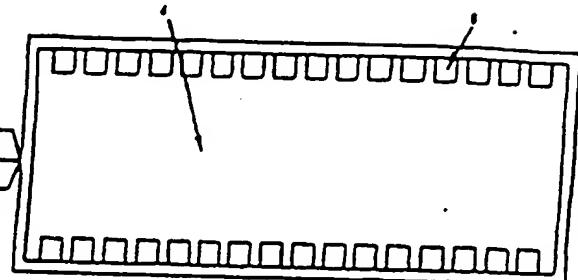


(図4)

図4

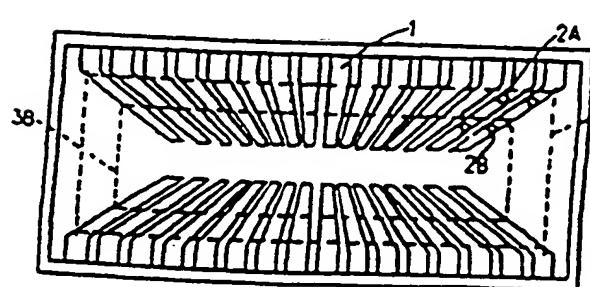
(図3)

図3



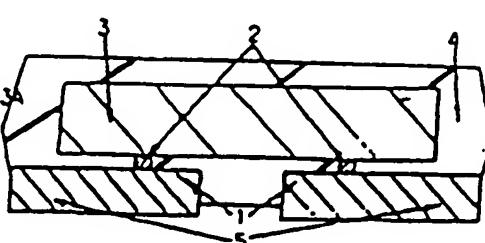
(図5)

図5



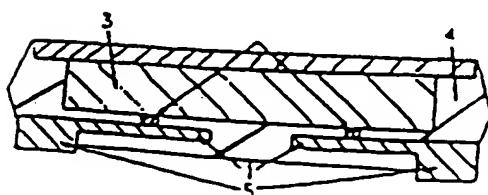
(図6)

図6



(図7)

図7



フロントページの記述

(S) 100.00

支拂証券 内部監査書

F 1

2001.11.01

技術監査室

(T) 財務室 梶谷 宏哉

東京都小平市上木本町5丁目20番1号

株式会社日立製作所半導体事業部内

[TITLE OF THE INVENTION]

Semiconductor Device

5

[CLAIMS]

1. A semiconductor device including a semiconductor chip, inner leads electrically connected to the semiconductor chip, and a resin encapsulate adapted to encapsulate the semiconductor chip and the inner leads, wherein each of the inner leads is partially protruded from a lower surface or an upper surface of the resin encapsulate.
- 15           2. The semiconductor device in accordance with claim 1, wherein the inner leads are electrically connected to the semiconductor chip by bumps, respectively.
- 20           3. A semiconductor device including a semiconductor chip, a plurality of inner leads electrically connected to the semiconductor chip, and a resin encapsulate adapted to encapsulate the semiconductor chip and the inner leads, wherein each of the inner leads is encapsulated at a portion of the thickness thereof while being exposed at the remaining portion thereof in such a fashion that it has an
- 25

5        encapsulated main lead surface serving as an electrical connection to the semiconductor chip, and an exposed main lead surface positioned opposite to the encapsulated main lead surface, the exposed main lead surface serving as an outer lead.

[DETAILED DESCRIPTION OF THE INVENTION]

[FIELD OF THE INVENTION]

10      The present invention relates to a technique effective if applied to semiconductor devices.

[DESCRIPTION OF THE PRIOR ART]

15      In conventional semiconductor devices, a semiconductor chip is typically connected with inner leads by means of wires or bumps. Such a semiconductor device has a structure in which outer leads are laterally protruded from an encapsulate.

[SUBJECT MATTERS TO BE SOLVED BY THE INVENTION]

20      After reviewing the prior art, the inventors have found the following problems. A down-sizing of recent system appliances using semiconductor devices has resulted in a requirement to reduce the size of circuit boards on which semiconductor devices are mounted. To this end,  
25      attempts to reduce the size of semiconductor devices have

been made in order to achieve an improvement in the mounting efficiency of circuit boards resulting in a reduction in the size of those circuit boards.

5 In most cases, such a reduction in the size of semiconductor devices have been achieved by reducing the size of semiconductor chips. For such a reduction in the size of semiconductor devices, outer leads have not been the subject of interest. That is, there has been no attempt to reduce the area occupied by outer leads of a 10 semiconductor device on a circuit board. Since conventional semiconductor devices have a structure in which outer leads are laterally protruded from a resin encapsulate, they have a mounting area increased by the area of the outer leads laterally protruded from the resin encapsulate. As a result, the conventional semiconductor devices involve a problem in that the mounting efficiency 15 thereof on a circuit board is degraded.

An object of the invention is to provide a technique capable of improving the mounting efficiency of a 20 semiconductor device on a circuit board.

Other objects and novel features of the present invention will become more apparent after a reading of the following detailed description when taken in conjunction with the drawings.

25

**(MEANS FOR SOLVING THE SUBJECT MATTERS)**

A representative of inventions disclosed in this application will now be summarized in brief.

In a semiconductor device in which a semiconductor 30 chip and inner leads electrically connected to the semiconductor chip are encapsulated by resin, each of the

inner leads is partially protruded from a lower surface or  
an upper surface of the resin encapsulate.

For a semiconductor device in which a semiconductor chip and inner leads electrically connected to the semiconductor chip are encapsulated by resin, the present invention can improve the mounting efficiency of the semiconductor device on a circuit board by protruding a portion of each inner lead from the lower or upper surface of the resin encapsulate in such a fashion that the outer leads of the semiconductor device are received in an area occupied by the resin encapsulate, thereby reducing the mounting area of the outer leads by the area of outer leads laterally protruded from a resin encapsulate in the case of conventional semiconductor devices.

Now, the present invention will be described in detail in conjunction with embodiments thereof.

In the drawings associated with the embodiments, elements having the same function are denoted by the same reference numeral, and repeated description thereof will be omitted.

#### [EMBODIMENTS]

Fig. 1 is a view illustrating a semiconductor device having a structure according to an embodiment of the present invention. The semiconductor device according to the embodiment of the present invention shown in Fig. 1 has a rectangular structure. Fig. 2 is a side view of the semiconductor device when viewed at the shorter side of the rectangular structure. Fig. 3 is a side view of the semiconductor device when viewed at the longer side of the rectangular structure. Fig. 4 is a plan view of the semiconductor device when viewed at the bottom.

In Figs. 1 to 4, the reference numeral 1 denotes

inner lead portions, 2 bumps, 3 a chip, 4 a resin encapsulate, and 5 outer lead portions, respectively.

As shown in Fig. 1, the semiconductor device of the present embodiment includes leads having a stepped lead structure. Each lead has an inner lead portion 1 serving as an inner lead, and an outer lead portion 5 serving as an outer lead.

The stepped lead structure can be obtained by half-etching the inner lead portions 1 of the leads. Alternatively, the stepped lead structure may be obtained by bonding two lead sheets to each other in such a fashion that they define a step therebetween, and then cutting the bonded lead sheets.

Within the resin encapsulate 4, bumps 2, which may be made of, for example, solder, are provided on the inner lead portions 1, respectively. Through these bumps 2, the inner lead portions are electrically connected to the semiconductor chip 3. Bumps previously provided at the semiconductor chip 3 may also be used as means for electrically connecting the inner lead portions 1 to the semiconductor chip 3. Alternatively, wires may be used.

As shown in Figs. 2 to 4, the outer lead portions 5, which are protruded from the resin encapsulate 4, are mounted on a circuit board or the like while being in surface contact with the circuit board. Accordingly, it is

possible to reduce the mounting space of the semiconductor device by the area of outer leads laterally protruded from a resin encapsulate in the case of conventional semiconductor devices. Otherwise, this area may be used to  
5 mount other elements.

Now, a lead frame included in the semiconductor device according to the present embodiment will be described in conjunction with Fig. 5.

In Fig. 5, the reference numeral 3A denotes a larger  
10 semiconductor chip, 3B a smaller semiconductor chip, 2A bumps for coupling inner leads to the larger semiconductor chip, and 2B bumps for coupling the inner leads to the smaller semiconductor chip, respectively.

As shown in Fig. 5, the lead frame of the  
15 semiconductor device according to the present embodiment has a structure in which inner leads extend radially around an area near the center of the lead frame. Accordingly, any one of the semiconductor chips having different sizes,  
that is, the larger semiconductor chip 3A and smaller  
20 semiconductor chip 3B indicated by phantom lines, can be connected with the inner lead portions 1 by shifting each pad position of the semiconductor chip 3A or 3B to a position where the semiconductor chip 3A or 3B can be connected to the inner leads 1, and providing a bump 2A or  
25 2B at the shifted position. The electrical connection

between the inner leads and the semiconductor chip obtained by use of bumps as mentioned above provides an useful effect which cannot be expected in the case using wire connection. That is, one lead frame, which is configured in accordance with the present embodiment, can be applied to a variety of semiconductor chips.

Referring to Figs. 6 and 7, other embodiments of the present invention are illustrated, respectively.

In a semiconductor device according to the embodiment of Fig. 6, there is no step between the inner and outer lead portions 1 and 5 of each lead, as compared to the semiconductor device of Fig. 1. In this case, the semiconductor device includes leads each serving as both the inner and outer leads. In accordance with this embodiment, about 2/3 of the thickness of each lead is encapsulated by resin. One main surface of each lead, namely, the encapsulated main surface (upper surface), serves as an electrical connection to the semiconductor chip. About 1/3 of the thickness of each lead is exposed from the resin. The other main surface of each lead, namely, the exposed main surface, serves as a connection terminal to a mounting circuit board, for example, an outer lead.

In accordance with such a structure, it is possible to secure the area, where the outer leads can be connected

to the circuit board, upon the mounting of the semiconductor device. Furthermore, a thin package can be produced. In accordance with this embodiment, it is also unnecessary to provide a stepped lead structure for the  
5 lead frame.

In a semiconductor device according to the embodiment of Fig. 7, radiation fins 6 are provided on the semiconductor chip 3 shown in Fig. 1 in order to radiate heat generated from the semiconductor chip 3.

10 Although the above embodiments have been described as being applied to rectangular semiconductor devices, they may also be applied to square semiconductor devices. Also, the above embodiments have been described as being applied to a semiconductor device having a COL (Chip On Lead) structure to protrude outer leads thereof from the lower surface of the encapsulate. In the case of a semiconductor device having an LOC (Lead On Chip) structure, outer leads thereof are protruded from the upper surface of the  
15 encapsulate.

20 For a semiconductor device in which a semiconductor chip and inner leads electrically connected to the semiconductor chip are encapsulated by resin, the present invention can improve the mounting efficiency of the semiconductor device on a circuit board by protruding a portion of each inner lead from the lower or upper surface  
5

of the resin encapsulate in such a fashion that the outer leads of the semiconductor device are received in an area occupied by the resin encapsulate, thereby reducing the mounting area of the outer leads by the area of outer leads laterally protruded from a resin encapsulate in the case of conventional semiconductor devices.

Although the preferred embodiments of the invention have been disclosed for illustrative purposes, those skilled in the art will appreciate that various modifications, additions and substitutions are possible, without departing from the scope and spirit of the invention as disclosed in the accompanying claims.

(EFFECTS OF THE INVENTION)

Effects obtained by a representative one of the inventions disclosed in this application will now be described in brief.

For a semiconductor device in which a semiconductor chip and inner leads electrically connected to the semiconductor chip are encapsulated by resin, the present invention can improve the mounting efficiency of the semiconductor device on a circuit board by protruding a portion of each inner lead from the lower or upper surface of the resin encapsulate in such a fashion that the outer leads of the semiconductor device are received in an area occupied by the resin encapsulate, thereby reducing the mounting area of the outer leads by the area of outer leads laterally protruded from a resin encapsulate in the case of conventional semiconductor devices.